

BEST AVAILABLE COPY

RECEIVED
CENTRAL FAX CENTER

SEP 29 2006

(08)日本国特許庁(J.P.)

02-公開特許公報(A)

(11)特許公報公開番号

特開2001-332683

(P2001-332683A)

(53)公開日 平成17年11月30日(2006.11.30)

INVENTOR	発明者	FI	IPC-F(第4版)
H01L 01/00		G09F 3/03/00	4J040
H01L 01/00		H01L 01/00	4M100
C09J 183/00			311H 8F044
H01L 01/00	3.1.1	21/00	2

発明の名称 本発明 背表紙の装飾 OL (全、ロ、ロ)

(01)出願番号 特願2000-153571(P2000-153571)

(02)出願日 平成12年5月24日(2000.5.24)

(03)出願人 00014008

株式会社三井ハイテック

福岡県北九州市八幡西区小倉2丁目10-1

(04)発明者 9902 藤田

福岡県北九州市八幡西区小倉2丁目10-1

株式会社三井ハイテック内

(05)発明者 藤田 藤雄

福岡県北九州市八幡西区小倉2丁目10-1

株式会社三井ハイテック内

(06)代理人 100000087

弁護士 中村 宣太郎

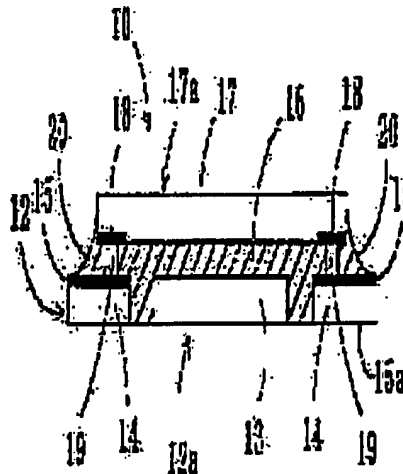
図面を参照せよ

(07)発明の名称 フリップ・チップ実装用バンダー及びこれを用いた半導体装置の製造方法

(08)【要約】

【課題】 リードフレームと樹脂封着を用いた固体回路装置に適用し、半導体チップに形成された電極パッドと該固体回路装置の内部接続端子パッドとの電気的接続強度を高める技術を提供し、接続の信頼性の高い、高品質のフリップ・チップ実装用バンダー及びこれを用いた半導体装置の製造方法を提供する。

【解決手段】 本発明のフリップ・チップ実装用バンダーは、固体回路装置に適用した特性を有するフリップ・チップ実装用バンダーを形成し、固体回路装置の中央部上面にバンダー層を形成し、各面側に固体回路装置の内部接続端子パッドの内部接続端子パッドに電気的に接続される電極パッドを備えるフリップ・チップ実装用バンダーを形成し、全体を加熱・圧縮して固体回路装置に半導体パッケージング加工を行って半導体装置を製造する。



BEST AVAILABLE COPY

Fド電圧パンプの原理は、カドフリップ・チップをフェースバック回路で動作させることにより実現するフリップ・チップ方式が実用につけてきた。例えば、村岡博一、1792号の論文で説明されているように、橋本昭彦氏の橋本電子バッドと平塚チップに接続された電圧パンプとの原理が、橋本昭彦氏を名づけている電圧安定化回路の設計を要請してゆかろうと共に、橋本昭彦氏は電圧安定化の電圧力によって平塚チップの電圧パンプが橋本昭彦氏の橋本電子バッドに接続された電圧パンプ回路を駆動する構造とされている。これは、橋本昭彦氏とQA協会のRON(Small: Out Line Non Lead)、OPN(Quad Flat Non Lead)等のQAでLand Grid Array)型やBGA(Ball Grid Array)型のOPN(Quad Flat Pack)の構造に採用され、橋本昭彦氏の電圧安定化回路の文法に用いられるようになった。そして、橋本昭彦氏はフリップ・チップと橋本昭彦氏の電圧パンプ、その原理に橋本昭彦氏のMAGNIFIER(アンダーフィル増幅)を要し、Fド、平塚チップと橋本昭彦氏の電圧パンプ回路を制御するメカニカル機構が実現されている。

[illegible]

【00004】
【研究の背景】とある項目に、しかしながら、上述の
果のハイブリッドを用いたフリップ・チップ装置では、フ
リップ・チップとハイブリッドの両方とも高価で、両者合
算に能力が低下し、FPGA (Programmable Co
nfigurable Device: 図表 14-6、図表 8-5、
8-10参照)、TCM (Temperature Cy
cle Test) 装置に比べて、コストで劣ることは
充分の理由である。 二つの悪影響、電気的製造技術の
行進の遅延に比べて、FPGA では 300%、TCM では
500% のコスト増という問題があった。特に、設
計の自動化、すなわち電路図の自動抽出にコスト増がも
たられた原因の一つにあっては、それぞれの製造工程、
製造工程の取り決めをとり違えることになり、それぞれ
の製造工程において問題が生じ、電気的製造技術の
原因とまでいった。したがって、それぞれの製造工程を

協定保持し、戦時的展開は明確を得るためには、敵軍界
面での応力増強と損害増大を肉の上させることが切実と
されていた。

【00'05】また、図様のバインダーを用いたフリップ・チップ実装では、以下の問題があった。

1) 従来のバインダーにおいては、硬化の状態で450000.00に達するまでのバインダーの硬化が早く、フリップ・チップの硬化は非常に遅く、富士山形状のフロントが形成されないという大きな問題があった。

2)更に、フリック・チップを規定の圧力で押出し、バインダーモフリック・チップとリードフレーム等の部品を接着剤とで固く固定すると、精度が低い場合にはバインダーの固さを調節する設備(バンプの調整)に要するものが無い。この設備で正確なバンプが形成され、電気的接続不良も起こり易いという問題があった。

○また、上記は車のフリップ・チップを道路に埋め込む方法であるが、フリップ・チップ方式では、半信はチップの両端部から、のびる電線と電線間の接続を行なった後、両端部を固定防止する工程を道路の工事と分けて行うため、大抵フリップ・チップの作業費が高額、設置費が低下し、製品コストが増加するといわれている。

4) また、本装置プロセスにおいて、流動時の温度、(220℃での停留時間: 50分)・圧力(200 \pm 1/バ)ン)により炭素が変動し、炭化バンプと加熱炉ノックとの接触面積を保持する速度に達する炭化時間が長くなる傾向にあり、炭化が充分なという問題があった。

「00000」を判明はこのような手順に照りてなされた
 ため、リードフレームは、密閉型電池等から
 密閉型電池の電池端子パッドと半導体チップとに接
 点形成パッドとの間に形成され、また、半導体チップの両
 側面に形成し、電極の導電性を向上する導電性塗料を
 保持し、密封信頼性の高い、製造上の不良率を減らす
 ことであるフリップ・チップ実装用バンダー及びこ
 れを用いた半導体装置の製造方法を提供することを目的
 とする。

• **உதாரணம் 2**

② 正確な測定するための年々、計測目的に合うように説明に
 仕合うフリップ・チップ実装用ハンダーは、半導体チップ
 の取組の電極パッド上に電極パッドを位置したフリップ
 ・チップを、半導体取組機の前記電極パッドに合わせる
 それぞれの取組機パッドにフェースダウン状態で実装
 する間に、フリップ・チップと半導体取組機との間に介
 在する、半導体取組機の前記取組パッドと電極パッドとの
 間の距離が正確に把握され、それにより、取組機を保持す
 ると同一、フリップ・チップと半導体取組機との面を接
 触させるフリップ・チップ実装用ハンダーにおい
 て、エレクトロスタティックとし、フィラ、電圧、反
 応は極めて小さく構成とされており、しかもがラフな
 位置が150μm〜170μmで、8μmの取組機がラ

BEST AVAILABLE COPY

のコストの削減が可能となり、生産性を著しく向上させる。半導体装置の製造コストを削減することができる。更に、リードフレーム同梱体には、その両面に半導体チップを固定した両面同梱体であるので、バインダーがリードフレーム同梱体の両面に張り出すことはなく、しかもリードフレーム同梱体とフリップ・チップとは完全に密着し、リードフレーム同梱体とフリップ・チップとの間に空隙や隙間が生じない。品質の向上した半導体パッケージを製造することができる。

【図10】は本発明のフリップ・チップ実装用バインダーを用いた半導体装置の製造方法において、ダメージパッドは、バインダーの両端部内に形成している。ダメージパッドにフリップ・チップを固定して加熱・圧着する際の熱の逃げ道として機能するので、バインダーの両端部が損傷される。その結果、両端部パターンとバインダー部の両方が平均化されるので、半導体装置の両端がはたき、電気的接続が確実となる。1つおきの固定はフリップ・チップ実装用バインダーを用いた半導体装置の製造方法においては、半導体パッケージの両面をテープ上に貼着されているので、全着された半導体パッケージの両端部がはたき、生産工程の自動化が図られて容易となる。両端部配線のフリップ・チップ実装用バインダーを用いた半導体装置の製造方法においては、両端部配線が同一には通線が使用され、両端部配線はボールボンディング方式を利用して接続され、両端部配線には金めっきがなされているので、両端部配線と両端部配線との接続面積が平均化されて密着して電気的接続が確実となる。【図10】の図解は説明。

【図11】本発明の一実施例の図解に係るフリップ・チップ実装用バインダーを用いた半導体装置の図解である。

【図12】(A)、(B)はそれぞれ両半導体装置の半導体パッケージ形成工程のダイシング加工工程の図解を示す側面図、両半導体装置の製造工程の半導体チップの形成工程を示す側面図である。

【図13】(A)、(B)はそれぞれ両半導体装置の半導体パッケージ形成工程のダイシング加工工程の図解を示す側面図、両半導体装置の製造工程の半導体チップの形成工程を示す側面図である。

【図14】(A)、(B)はそれぞれ両半導体装置のフリップ・チップ実装工程の図解を示す側面図、両半導体装置の製造工程の半導体チップの形成工程を示す側面図である。

【図15】(A)、(B)はそれぞれ両半導体装置の半導体パッケージ形成工程のダイシング加工工程の図解を示す側面図、両半導体装置の製造工程の半導体チップの形成工程を示す側面図である。

【図16】(A)、(B)はそれぞれ両半導体装置の半導体パッケージ形成工程のダイシング加工工程の図解を示す側面図、両半導体装置の製造工程の半導体チップの形成工程を示す側面図である。

【図17】(A)、(B)はそれぞれ両半導体装置の半導体パッケージ形成工程のダイシング加工工程の図解を示す側面図、両半導体装置の製造工程の半導体チップの形成工程を示す側面図である。

【図18】(A)、(B)はそれぞれ両半導体装置の半導体パッケージ形成工程のダイシング加工工程の図解を示す側面図、両半導体装置の製造工程の半導体チップの形成工程を示す側面図である。

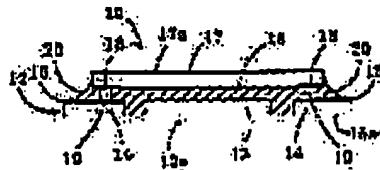
【図19】両半導体装置のリードフレーム同梱体の他の図解を示す側面図である。

【図20】両半導体装置の図解を示す側面図である。

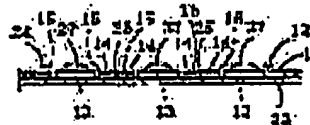
【図21】(A)の図解

110:半導体装置、12:リードフレーム同梱体、12a:両端部パターン、13:ダメージパッド、13a:サボトリード、14:半導体リード、15:内部配線端子パッド、16a:外部接続端子ランド、17:封止樹脂層、17a:半導体チップ、17b:フリップ・チップ、18:両端部パッド、19:Auボールボンディンググランド、20:フィレット21:半導体ウエハー、22、23:両端部、24:両端部配線、25:ダイバー、26:ガイドレール部、27:バインダー層、28:半導体パッケージ、29:フリップ・チップ実装層、30:図解、31:両端部、32:両端部、33:封止樹脂層、34:リードフレーム同梱体、35、36:ハーフ・エッチング層

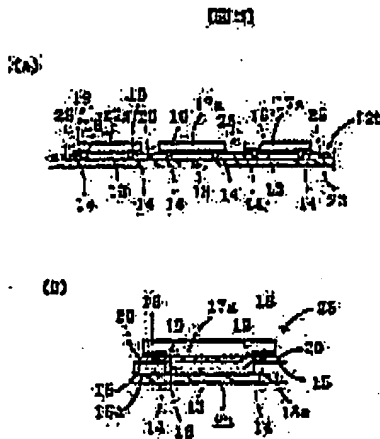
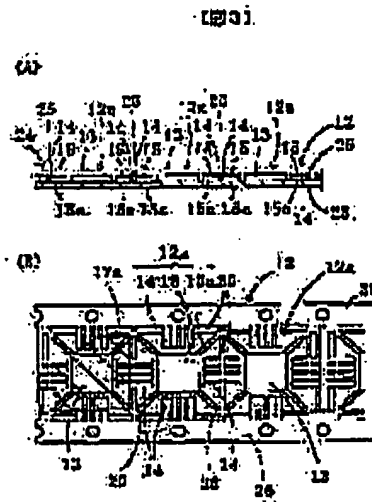
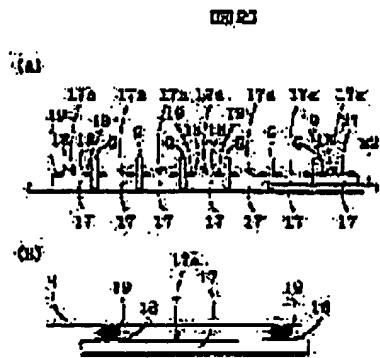
【図1】



【図4】



BEST AVAILABLE COPY



BEST AVAILABLE COPY

